

CLIPPEDIMAGE= JP402239651A

PAT-NO: JP402239651A

DOCUMENT-IDENTIFIER: JP 02239651 A

TITLE: SEMICONDUCTOR DEVICE AND MOUNTING METHOD THEREOF

PUBN-DATE: September 21, 1990

INVENTOR-INFORMATION:

NAME

AKIMA, ISAO

KUNITO, SOUICHI

NOSAKA, TOSHIO

NAKAMURA, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI VLSI ENG CORP

N/A

APPL-NO: JP01060436

APPL-DATE: March 13, 1989

INT-CL (IPC): H01L025/10; H01L023/28 ; H01L023/50 ; H01L025/11 ;
H01L025/18

US-CL-CURRENT: 438/FOR.368,257/730 ,438/109

ABSTRACT:

PURPOSE: To contrive the improvement in mounting density by shortening a distance between semiconductor devices by fitting a projecting part of one package into a recessed part of another package and electrically connecting the external terminals for the same signals and the same source voltages of those packages with each other.

CONSTITUTION: A projecting part 3a is formed on one side of a package for containing a semiconductor chip, and a recessed part 4a is formed on another side. Also, external terminals 5a which are conducted to a semiconductor chip 9 are arranged on the package planes where the projecting and recessed parts 3a and 4a are formed. Then, in this package structure, the projecting part 3a of one package is fitted into the recessed part 4a of another package, and the

external terminals used for the same signals and the same source voltages can be electrically connected with each other. Accordingly, plural semiconductor devices can be electrically connected while the packages which composing each semiconductor device are in contact tightly. Thus, the intervals among the semiconductor become shorter and the mounting density can be improved.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報(A) 平2-239651

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月21日

H 01 L 25/10
23/28

J

6412-5F
7638-5F

H 01 L 25/14

Z ※

審査請求 未請求 請求項の数 3 (全10頁)

⑮ 発明の名称 半導体装置およびその実装方法

⑯ 特 願 平1-60436

⑰ 出 願 平1(1989)3月13日

⑱ 発 明 者 秋 間 勇 夫 東京都小平市上水本町5丁目20番1号 日立超エル・エ
ス・アイ・エンジニアリング株式会社内

⑲ 発 明 者 国 戸 給 一 東京都小平市上水本町5丁目20番1号 日立超エル・エ
ス・アイ・エンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア
イ・エンジニアリング
株式会社

㉒ 代 理 人 弁理士 筒井 大和

最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその実装方法

2. 特許請求の範囲

1. 半導体チップを収容するパッケージの一面に凸部を形成し、かつ他面に凹部を形成するとともに、前記凸部、および凹部の形成されたパッケージ面に前記半導体チップと導通する外部端子を配置することによって、一のパッケージの前記凸部と、他のパッケージの前記凹部とを嵌め合わせ、これらパッケージの同一信号、および同一電源電圧用の外部端子同士を導通させるパッケージ構造を備えることを特徴とする半導体装置。

2. 請求項1記載の半導体装置を配線基板上に複数実装する際、前記一のパッケージの凸部と他のパッケージの凹部とを嵌合することによって、これらパッケージを備える半導体装置同士を着脱自在に接合することを特徴とする半導体装置の実装方法。

3. 請求項1記載の半導体装置を配線基板上に複数実装する際、前記パッケージ同士を嵌合することによって、これらパッケージを備える半導体装置を配線基板の実装面に対して垂直な方向に積み重ねることを特徴とする半導体装置の実装方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置技術に関し、特に、半導体チップを収容するパッケージ構造技術に関するものである。

(従来の技術)

近年、電子装置の小形化、高機能化の観点から、配線基板上に実装されるLSIパッケージの高密度実装化が進められている。そして、LSIパッケージの高密度実装化に伴い、LSIパッケージには、LSIチップを外部環境から保護したり、LSIチップのハンドリングを可能にしたりするという基本的な機能の他に高密度実装化のための様々な機能が要求されている。

LSIパッケージ構造については、日経マグロウヒル社発行、「日経エレクトロニクス別冊2 マイクロデバイス、1984年6月11日」P129～168に記載があり、DIPに代表されるピン挿入形のパッケージやQFPやSOJに代表される面実装形のパッケージについて、それらの構造やそれらを構成するパッケージ材料等、様々な角度から多様化するパッケージ構造について説明されている。

ところで、従来、このようなLSIパッケージを配線基板上に実装するには、片面、両面いずれの実装方式でも、複数のLSIパッケージを配線基板の平面上、水平方向に実装していた。

〔発明が解決しようとする課題〕

ところが、複数のLSIパッケージを配線基板の平面上、水平方向に実装する従来の技術においては、実装が水平方向に展開されるため、LSIパッケージの大量積化、配線基板に構成される回路機能の拡張、あるいは記憶容量の増加に伴って、配線基板の面積も大量積化しなければならなかつ

の一面に凸部を形成し、かつ他面に凹部を形成するとともに、前記凸部、および凹部の形成されたパッケージ面に前記半導体チップと導通する外部端子を配置することによって、一のパッケージの前記凸部と、他のパッケージの前記凹部とを嵌め合わせ、これらパッケージの同一信号、および同一電源電圧用の外部端子同士を導通させるパッケージ構造を備える半導体装置である。

また、半導体装置を配線基板上に複数実装する際、前記一のパッケージの凸部と他のパッケージの凹部とを嵌合することによって、これらパッケージを備える半導体装置同士を着脱自在に接合する半導体装置の実装方法である。

さらに、半導体装置を配線基板上に複数実装する際、前記パッケージ同士を嵌合することによって、これらパッケージを備える半導体装置を配線基板の実装面に対して垂直な方向に積み重ねる半導体装置の実装方法である。

〔作用〕

上記した第1の手段によれば、複数の半導体装

た。

また、配線基板上に回路が構成された後、その配線基板の回路機能を拡張したり、あるいはメモリ製品であれば記憶容量を増加させたりすることはできなかった。したがって、例えばメモリ製品の場合、記憶容量を増加させるには、複数の配線基板を用意しなければならず、配線基板を積み込む電子装置も大型化していた。

本発明は上記課題に着目してなされたものであり、その目的は、LSIパッケージの実装密度を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、半導体チップを収容するパッケージ

置を、各半導体装置を構成するパッケージ同士が密着した状態で導通させることができるため、半導体装置間の間隔が短くなり、実装密度を向上させることが可能となる。

第2の手段によれば、半導体装置の着脱が可能になるため、故障した半導体装置のみを取り替えたり、半導体装置の着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

第3の手段によれば、半導体装置の実装が、配線基板の実装面に対して水平方向に展開されるのみならず、実装面に対して垂直な方向にも展開されるため、従来と同じ実装面積であっても従来よりも実装数を増加させることが可能である。

〔実施例1〕

第1図は本発明の一実施例である半導体装置のパッケージ外観を示す斜視図、第2図は第1図のⅡ-Ⅱ線断面図、第3図はこの半導体装置を複数積み重ねた状態を示す断面図、第4図はこの半導体装置を配線基板上に実装した状態を示す斜視図、第5図は配線基板上における半導体装置の積み重

ね状態を示す斜視図である。

まず、本実施例1の半導体装置の構造を第1図～第3図により説明する。

本実施例1の半導体装置1aは、第1図に示すように、パッケージ2aの上面の中央部に、例えば四角柱状の凸部3aが形成され、かつ第2図に示すように、パッケージ2aの裏面に凹部4aが形成された樹脂モールド型のパッケージ構造となっている。

凸部3aの形成されたパッケージ2aの上面には、42アロイ等からなる複数の外部リード（外部端子）5aがパッケージ2aの周辺方向に沿って並設されている。そして、これら外部リード5aは、パッケージ2aの側面に沿って垂直に折曲し、さらに凹部4aの形成されたパッケージ2aの裏面に「J」字状に回り込み、その先端がパッケージ2aの裏面に形成された溝部6aに保持されている。

一方、第2図に示すように、外部リード5aと一体成型されてなる内部リード7は、パッケージ

2aの内部に埋設されており、その一端は、金、あるいは銅等からなるボンディングワイヤ8を介して所定の電極回路が構成された半導体チップ9の図示しないボンディングパッドと電気的に接続されている。この半導体チップ9は、例えばエポキシ樹脂からなる接合剤10により、42アロイ等からなるダイパッド11上に接合されている。

パッケージ2aの上記した凹部4aは、このパッケージ2aと同一形状の他のパッケージ2aの凸部3aを嵌め合わせた際、その凸部3aを保持できる形状、および寸法となっているため、第3図に示すように、各パッケージ2aの凸部3aと凹部4aとを嵌合して固定し、複数の半導体装置1a、1a同士を積み重ねることが可能な構造となっている。

そして、本実施例1の半導体装置1aは、同一信号、および同一電源電圧用の外部リード5aの一部がパッケージ2aの上面と、パッケージ2aの裏面とに配置されているため、複数の半導体装置1a、1aをパッケージ2aの高さ方向に積み

重ねた際、各半導体装置1aの同一の外部リード5a、5a同士が電気的に接続される構造となっている。

なお、パッケージ2aの上面の一隅には、複数のパッケージ2a、2a同士を積み重ねる際、極性や接続する外部リード5a、5a同士を間違えないように、目印Mが刻設されている。

このようなパッケージ構造の半導体装置を製造するには、例えば次のようにする。

すなわち、まず、リードフレームにおけるダイパッド11上に半導体チップ9を接合し、半導体チップ9のボンディングパッドとリードフレームの内部リード7とをワイヤボンディング8によって接合した後、このリードフレームを所定の金型に収めて半導体チップ9を樹脂によってモールドしパッケージ2aを形成する。

次いで、樹脂が硬化した後、樹脂から露出する外部リード5aを所定長で切断し、パッケージ2aを上記リードフレームの外枠から分離した後、外部リード5aをパッケージ2aの側面に沿って

垂直に折曲し、さらにパッケージ2aの裏面に形成された溝部6aで保持させる。

次に、本実施例1の半導体装置1の実装方法を第4図、および第5図により説明する。なお、配線基板のランド上に半導体装置1aを実装する方法（第4図により説明）は従来技術と同じである。

まず、配線基板12上にメタルマスクを用いた印刷方式等によりクリームはんだ（図示せず）を塗布し、その後、半導体装置1aをバキューム・ピックアップ（図示せず）等により吸着し、この半導体装置1aの外部リード5aと配線基板12のランド13とを位置合わせした状態で、この半導体装置1aを上記したクリームはんだに軽く押し込む。なお、半導体装置1aの吸着、およびクリームはんだへの押し込み等は、例えば全てプログラム・コントロールにより自動的に行われる。

その後、リフローはんだ付け法、あるいはVPS（Vapor Phase reflow Soldering）法等により、はんだを溶かしはんだ付けを行い、配線基板12上に半導体装置1aを実装する（第4図）。

次に、配線基板12に実装された半導体装置1aのパッケージ2aの目印M(第4図参照)と、その上に積み重ねて実装する半導体装置1aのパッケージ2aの目印Mとを合わせた状態で、下方のパッケージ2aの凸部3aと、その上に積み重ねて実装するパッケージ2aの凹部4a(第2図参照)とを嵌め合わせる。

そして、下方のパッケージ2aの上面に位置する外部リード5aとその上方に積み重ねるパッケージ2aの裏面に位置する外部リード5aとが確実に導通状態となるように上方のパッケージ2aを押し込み、半導体装置1aを配線基板12の実装面Aに対して垂直な方向に積み重ねる(第5図)。

この際、本実施例1では、半導体装置1a、1a同士を着脱自在の状態にしておくが、パッケージ2aの凸部3a、または凸部3aを嵌め込む凹部4aにエポキシ樹脂等の接着剤を塗布し、これらパッケージ2a、2a同士を接着し、半導体装置1a、1a同士を確実に固定しても良い。

(5)、上記(1)、(4)により、配線長が短くなるため、外来ノイズの影響を受けにくくなり、信頼性の高い信号の授受が可能となる。

〔実施例2〕

第6図は本発明の他の実施例を示す半導体装置のパッケージ外観を示す斜視図、第7図は第6図で示した半導体装置の積み重ね状態を示す斜視図、第8図は第6図で示した半導体装置を配線基板上に実装した状態を示す斜視図である。

第6図に示すように、本実施例2の半導体装置1bは、パッケージ2bの上面の一部に四角柱状の凸部3bが形成され、かつパッケージ2bの裏面に凹部4bが形成された樹脂モールド形のパッケージ構造となっている。

凸部3bには、コ字状に折曲した複数の外部リード5bが、パッケージ2bの長手方向に並設されている。そして、外部リード5bの一端は、パッケージ2bの上面に形成された溝部6bにより保持されている。

パッケージ2bの上面の四隅には、小凸部3c

このように本実施例1によれば、以下の効果を得ることができる。

(1)、パッケージ2a、2aを密着した状態で半導体装置1a、1a同士を導通することができるため、半導体装置1a、1a間の配線長が短くなり、実装密度を高密度化することができる。

(2)、半導体装置1aを配線基板12の実装面Aに対して水平な方向に実装するのみならず、実装面Aに対して垂直な方向に積み重ね実装することができるため、従来と同じ実装面積であっても、従来よりも多くの半導体装置1aを実装することが可能となる。

(3)、積み重ねた複数の半導体装置1a同士を着脱自在の状態に固定しておけば、故障した半導体装置1aのみを取り替えたり、半導体装置1aの着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

(4)、上記(1)により、各パッケージ2a、2a間の配線長が従来技術に比べて短くなるため、信号の伝達速度を高速にすることが可能となる。

が形成されており、これと同一形状のパッケージ構造の他の半導体装置1bを積み重ねた際、その固定度を高め、かつ接続される外部リード5bの位置がずれてしまうことを防止する構造となっている。

一方、凹部4bにおける一側面には、複数の外部リード5bが、パッケージ2bの長手方向に沿って並設されている。

また、パッケージ2bの裏面の四隅には、パッケージ2b、2bを嵌め合わせた際、上記した小凸部3cを嵌め込むための小凹部4c(第10図)が形成されている。

なお、凸部3bの一端には、複数の半導体装置1b、1b同士を積み重ねる際、極性等を間違えないようにするために目印Mが刻設されている。

本実施例2においても第7図に示すようにパッケージ2b、2bの凸部3bと凹部4bとを嵌合し、これらパッケージ2b、2bを固定して半導体装置1b、1b同士を積み重ねることが可能な構造となっている。そして、凸部3bと凹部4b

に形成された外部リード5b、5bが電気的に接続される構造となっている。

ところで、このようなパッケージ構造の半導体装置1bを配線基板に実装するには、第8図に示すように、例えば予め配線基板12上にソケット14aを接続しておき、このソケット14aに半導体装置1bを実装する。

ソケット14aは、断面凸状となっており、その凸状部15の形状や寸法は、上記したパッケージ2bの凹部4bと嵌合した際、パッケージ2bを固定できるように設計されている。ソケット14aの凸状部15の一側面には、パッケージ2bを嵌合した際、パッケージ2bの凹部4bに形成された外部リード5bと電気的な導通を取るための複数の接点16が並設されている。接点16は、パッケージ2bを嵌合した際、窪み部17の方向に押されるため、凹部4bに形成された外部リード5b(第6図参照)を押さえる方向に付勢される。なお、接点16は、42アロイ等からなりその表面に金等のメッキが施されている。

とともに、これと嵌合するパッケージ面に凸部に対応する複数の凹部を形成しても良い。

また、前記実施例1、2においては、凸部を四角柱状とした場合について説明したが、これに限定されるものではなく、例えば第9図に示すように半導体装置1cを構成するパッケージ2cの上面の一部にテーパ状の凸部3dを形成しても良い。

また、前記実施例2においては、半導体装置を配線基板に実装する際、予め配線基板にパッケージの凹部用のソケットを実装した場合について説明したが、これに限定されるものではなく、例えば第10図に示すように、ソケット14bに凹状の挿入部19を設け、この挿入部19にパッケージ2bの凸部3bを嵌合し、半導体装置1bを配線基板12上に実装しても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である樹脂モールド形のパッケージを備える半導体装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばセラミック形のバ

また、ソケット14aの頂部に形成された小凸状部18は、パッケージ2bの裏面の四隅に形成された小凹部4c(第10図)に嵌め合わせるための突起部である。

なお、半導体装置1bの積み重ね方法は、実施例1と同じである。

本実施例2によれば、実施例1の(1)~(5)の効果の他に、複数の半導体装置1bを配線基板12の実装面に対して垂直な方向に実装した際、最下方の半導体装置1bも自由に取替えることができる効果がある。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、前記実施例1においては、一つのパッケージの面に一つの凸部を形成した場合について説明したが、これに限定されるものではなく、例えば一つのパッケージ面に複数の凸部を形成する

パッケージを備える半導体装置に適用しても良い。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、第1に、複数の半導体装置を、各半導体装置を構成するパッケージ同士を密着した状態で導通することができるため、半導体装置間の間隔が短くなり、実装密度を向上させることが可能となる。

第2に、半導体装置の着脱が可能になるため、故障した半導体装置のみを取り替えたり、半導体装置の着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

第3に、半導体装置の実装が配線基板の実装面に対して水平な方向のみならず、実装面に対して垂直な方向に展開されるため、従来と同じ実装面積であっても従来より多くの半導体装置を実装することが可能となる。

4 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の
パッケージ外観を示す斜視図、

第2図は第1図のⅡ-Ⅱ線断面図、

第3図はこの半導体装置を複数積み重ねた状態
を示す断面図、

第4図はこの半導体装置を配線基板上に実装し
た状態を示す斜視図、

第5図は配線基板上における半導体装置の積み
重ね状態を示す斜視図、

第6図は本発明の他の実施例を示す半導体装置
のパッケージ外観を示す斜視図、

第7図は第6図に示した半導体装置の積み重ね
状態を示す斜視図、

第8図は第6図に示した半導体装置を配線基板
上に実装した状態を示す斜視図、

第9図は実施例のさらに他の実施例である半導
体装置のパッケージ外観を示す斜視図、

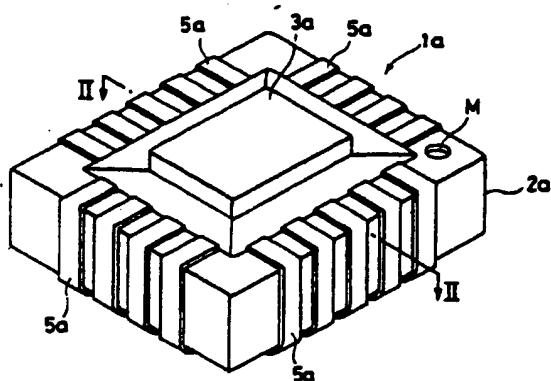
第10図は実施例2で示したコネクタの変形例
を示す斜視図である。

1a, 1b, 1c・・・半導体装置、2a, 2

b, 2c・・・パッケージ、3a, 3b, 3d・
・・・凸部、3c・・・小凸部、4a, 4b・・・
凹部、4c・・・小凹部、5a, 5b・・・外部
リード（外部端子）、6a, 6b・・・溝部、7
・・・内部リード、8・・・ボンディングワイヤ、
9・・・半導体チップ、10・・・接合剤、11
・・・ダイパッド、12・・・配線基板、13・
・・・ランド、14a, 14b・・・ソケット、1
5・・・凸状部、16・・・接触子、17・・・
窪み部、18・・・小凸状部、19・・・挿入部、
A・・・実施例、M・・・目印。

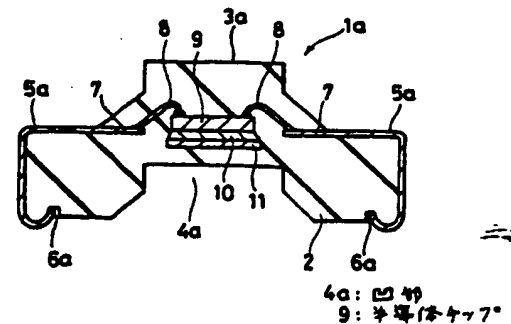
代理人 弁理士 筒井大和

第1図

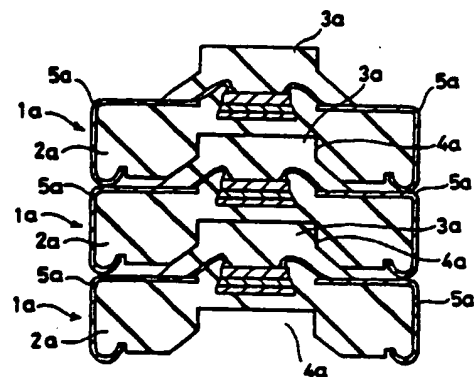


1a: 半導体装置
2a: パッケージ
3a: 凸部
5a: 外部リード（外部端子）

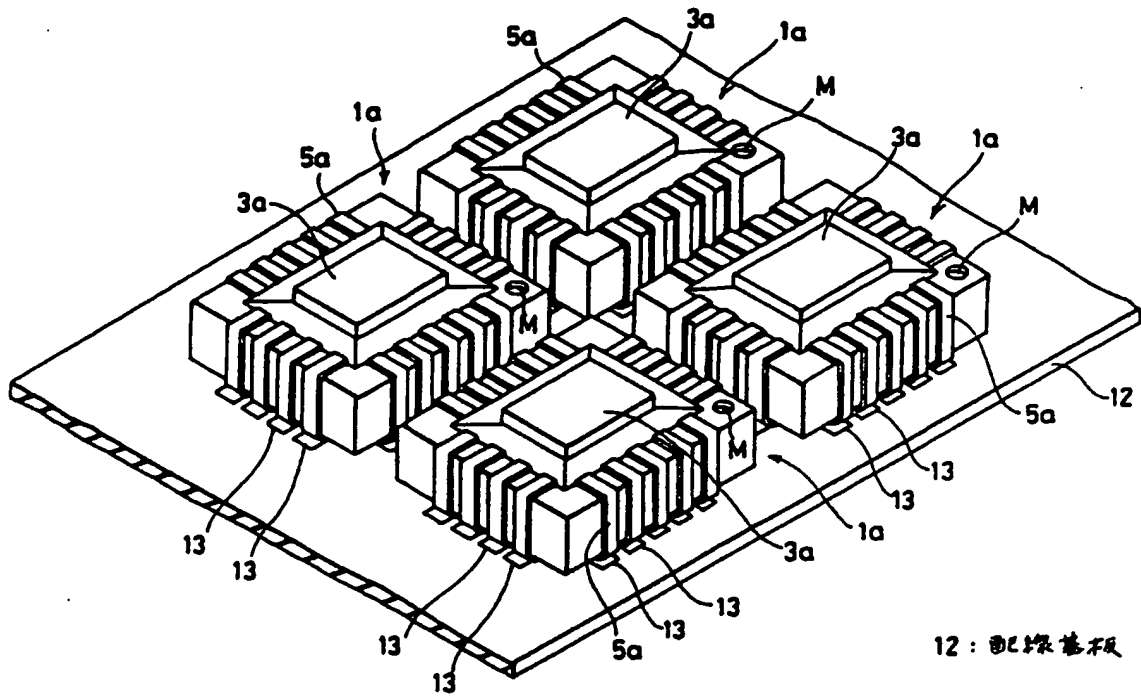
第2図



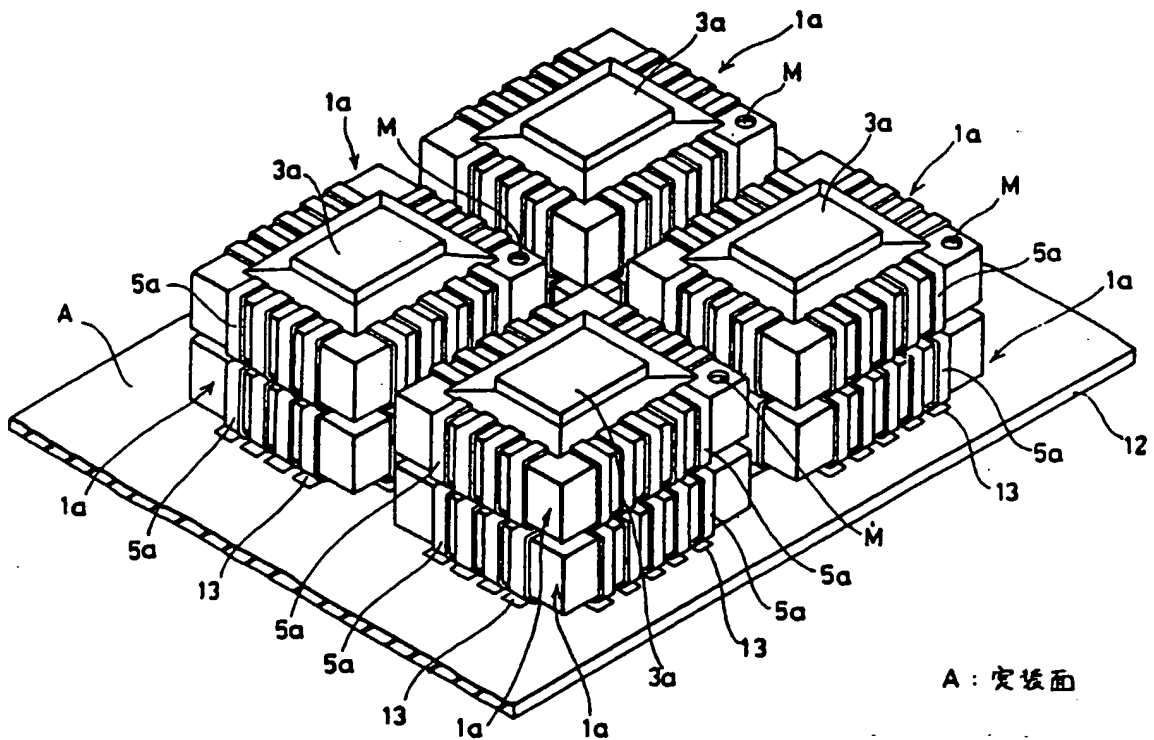
第3図



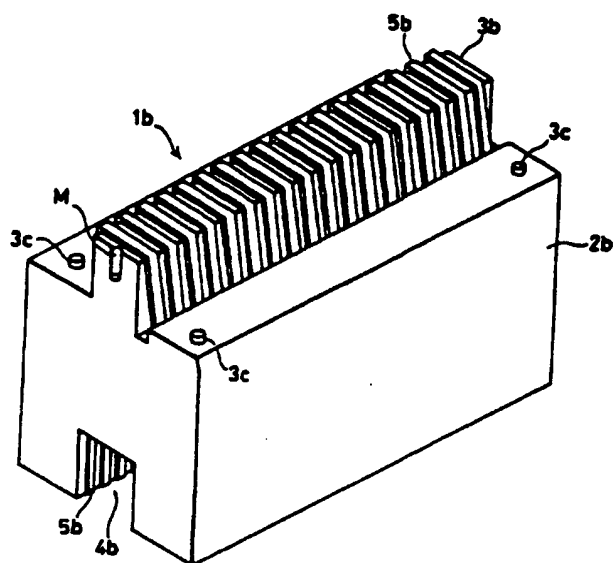
第 4 圖



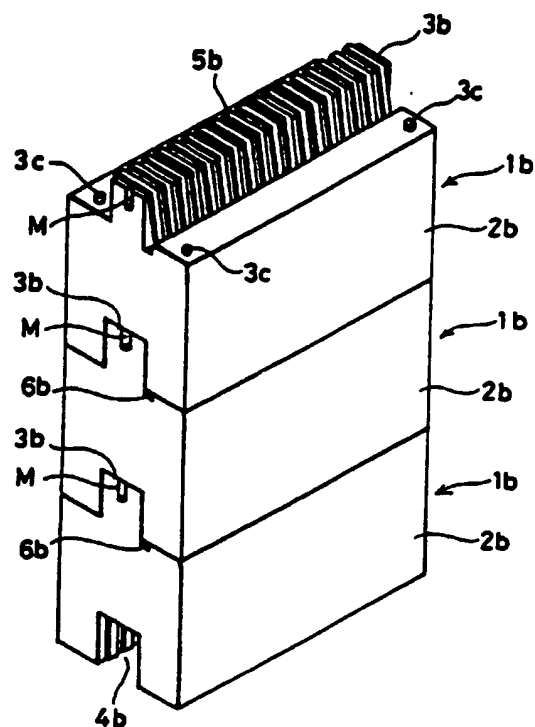
第 5 圖



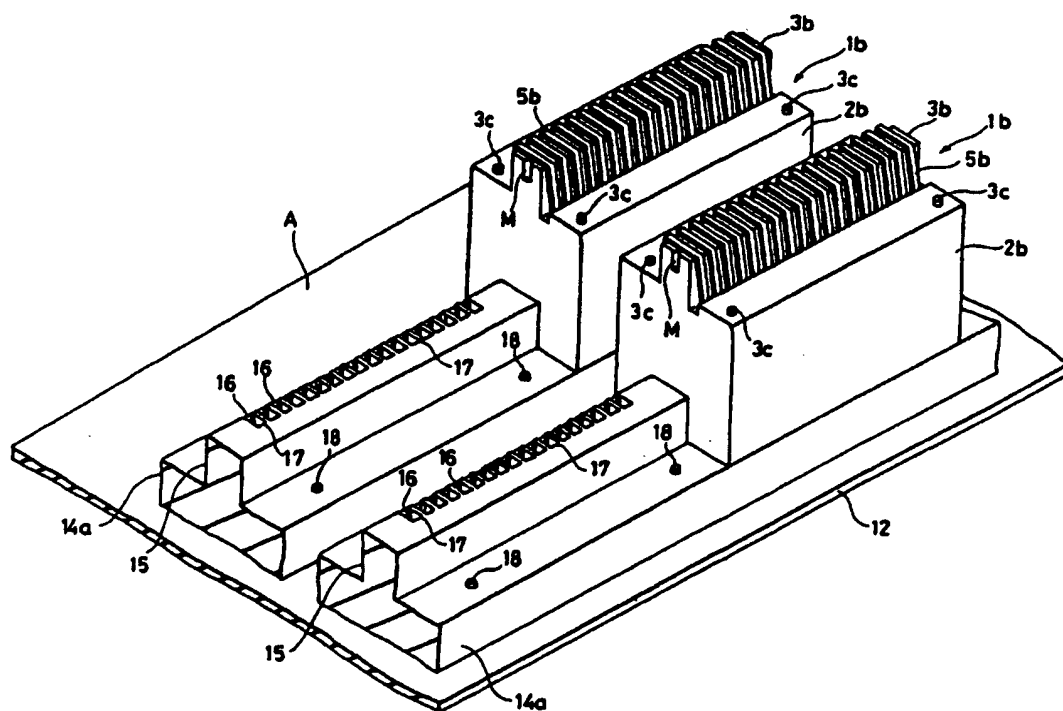
第 7 図



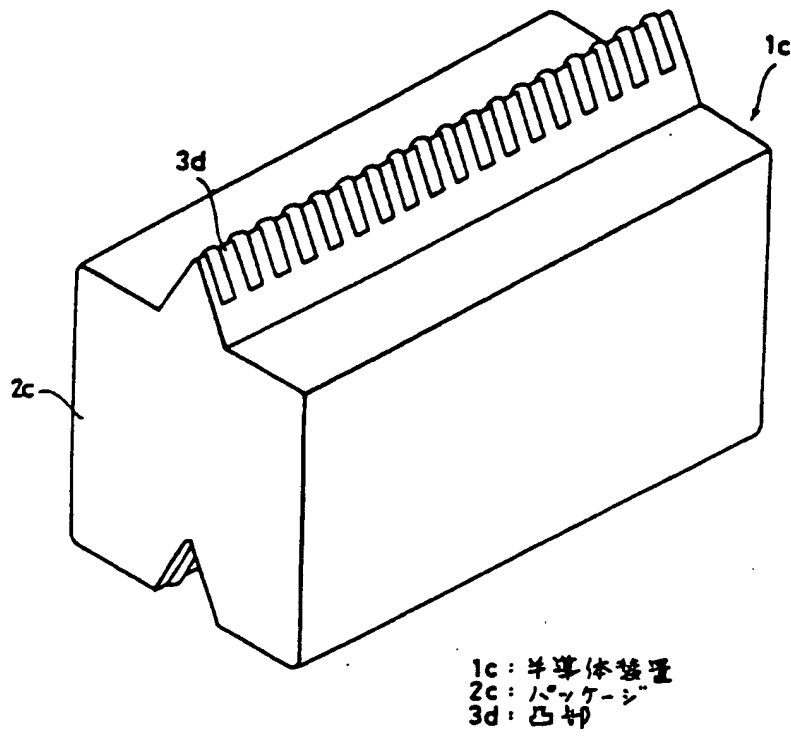
1b: 半導体基盤
2b: パッケージ
3b: 凸部
3c: 小凸部
4b: 凹部
5b: 外部リード(外部端子)



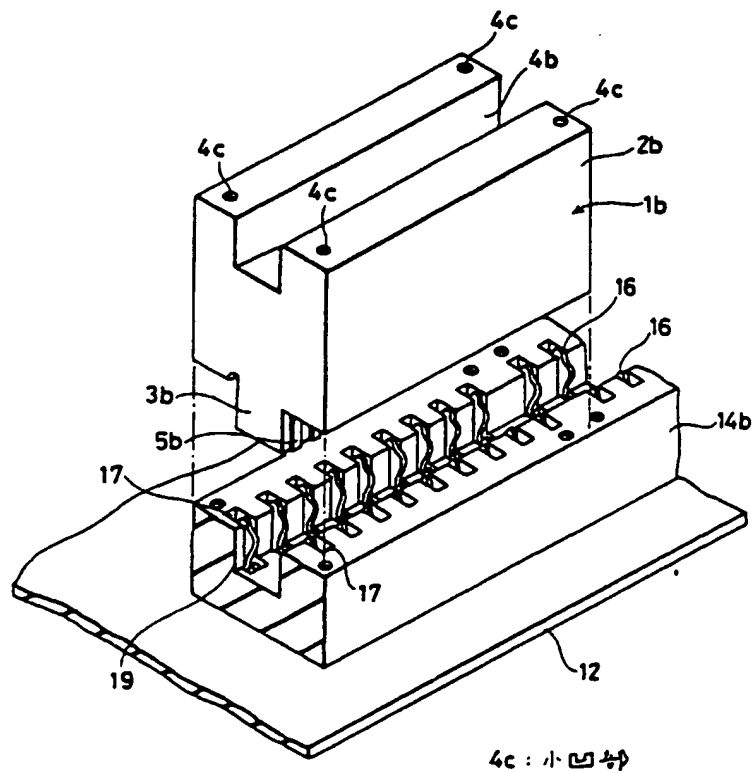
第 8 図



第 9 図



第 10 図



第1頁の続き

⑤Int. Cl.⁸

H 01 L 23/50
25/11
25/18

識別記号

庁内整理番号

R

7735-5F

⑦発 明 者 野 坂 寿 雄 東京都小平市上水本町5丁目20番1号 日立超エル・エ
ス・アイ・エンジニアリング株式会社内
⑦発 明 者 中 村 英 明 東京都小平市上水本町5丁目20番1号 日立超エル・エ
ス・アイ・エンジニアリング株式会社内